

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107231

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H01L 27/115  
G11C 16/02  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 08-259370

(71)Applicant : NEC CORP

(22)Date of filing : 30.09.1996

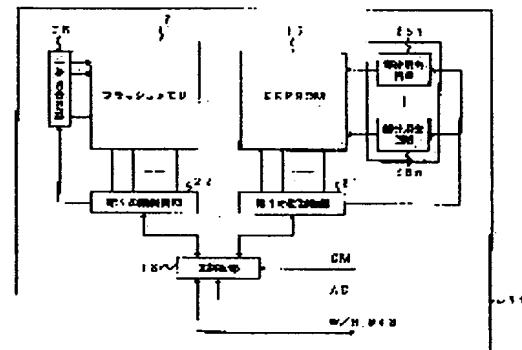
(72)Inventor : OBATA HIROYUKI

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a program and data to be separately stored by separately arranging a flash memory and an EEPROM on the same chip.

**SOLUTION:** On a semiconductor chip 11, an EEPROM (first non-volatile memory) 16 having a memory capacity of about 128 to 256 bytes and a flash memory (second non-volatile memory) 17 having a memory capacity (for example, 256 kbytes) larger than that of the first non-volatile memory 16 are separately mounted. The first non-volatile memory 16 is used as a data memory for storing data which is frequently rewritten and erased, and on the other hand, the second non-volatile memory 17 is used as a program memory to which rewriting and erasing operations are not frequently performed. The semiconductor memory device in which the EEPROM for data and the flash memory for programs are mixedly mounted can be therefore applied in a wider range.



## LEGAL STATUS

[Date of request for examination] 30.09.1996

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 2977023

[Date of registration] 10.09.1999

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right] 10.09.2003

Copyright (C); 1998,2003 Japan Patent Office



(2)

特開平10-107231

2

1

## 【特許請求の範囲】

【請求項1】 第1のメモリセルを複数個備えた第1の不揮発性メモリと、第2のメモリセルを複数個備えた第2の不揮発性メモリとを单一のチップ内に個別に混載した不揮発性半導体記憶装置において、前記第1の不揮発性メモリは、予め定められた単位毎に、第1のメモリセルを記憶内容を消去できる構成を有する一方、前記第2の不揮発性メモリは、前記第2のメモリセルの記憶内容を一括して消去できる構成を有し、更に、前記第1及び第2のメモリセルは、ソース、ドレイン、コントロールゲート、及び、フローティングゲートを持ち、互いに同一の構造を備えていることを特徴とする不揮発性半導体記憶装置。

【請求項2】 第1のメモリセルを複数個備えた第1の不揮発性メモリと、第2のメモリセルを複数個備えた第2の不揮発性メモリとを单一のチップ内に個別に混載した不揮発性半導体記憶装置において、前記第1の不揮発性メモリは、予め定められた単位毎に、第1のメモリセルを記憶内容を消去できる構成を有する一方、前記第2の不揮発性メモリは、前記第2のメモリセルの記憶内容を一括して消去できる構成を有し、更に、前記第1及び第2のメモリセルは、ソース、ドレイン、コントロールゲート、及び、フローティングゲートを有していると共に、前記第1のメモリセルのフローティングゲートは、第2のメモリセルのフローティングゲートに比較して、大きな面積を有していることを特徴とする不揮発性半導体記憶装置。

【請求項3】 予め定められた単位毎に、記憶内容を消去できる第1のメモリセルを有する第1の不揮発性メモリと、複数の第2のメモリセルを備え、第2のメモリセルの記憶内容を一括して消去できる第2の不揮発性メモリとを单一のチップ内に個別に混載すると共に、前記第1及び第2の不揮発性メモリに含まれる第1及び第2のメモリセルは、ソース、ドレイン、フローティングゲート、及び、コントロールゲートを有している不揮発性半導体記憶装置の製造方法において、前記第1の不揮発性メモリのソース、ドレイン、フローティングゲート、及び、コントロールゲートの形成工程は、第2の不揮発性メモリのソース、ドレイン、フローティングゲート、及び、コントロールゲートの形成工程とそれぞれ同時に行われることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 請求項3において、前記第1及び第2のメモリセルは、実質上同一の構造を有するように、形成されることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項5】 請求項4において、前記第1及び第2のメモリセルにおけるソース、ドレイン、フローティングゲート、及び、コントロールゲートは、それぞれ、同一の工程で形成されることを特徴とする不揮発性半導体記

10

20

30

40

50

## 【特許請求の範囲】

【請求項6】 請求項5において、前記第1の不揮発性メモリには、第1のメモリセル前記予め定められた単位毎に、記憶内容を消去する消去回路を形成すると共に、前記第2の不揮発性メモリには、第2のメモリセルの記憶内容を一括して消去する消去回路を形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項7】 請求項3において、前記第1のメモリセルのフローティングゲートの面積を第2のメモリセルのフローティングゲートの面積より大きくする工程を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電気的に書き換、消去可能で、且つ、不揮発性を有するメモリセルを含む半導体記憶装置及びその製造方法に関する。

## 【0002】

【従来の技術】 一般に、この種、電気的に、書き換、消去可能な不揮発性記憶装置は、半導体基板に間隔を置いて配置されたドレイン領域及びソース領域を備えると共に、ドレイン及びソース領域との間のチャネル領域上に、ゲート絶縁膜を介して配置されたフローティングゲート、及び、フローティングゲート上に配置された制御ゲートを備えた構成を有している。

【0003】 また、このような不揮発性記憶装置は、複数のメモリセルを一括で、或いは、ブロック単位で消去できる所謂フラッシュメモリと、1ビット或いは1バイト単位で消去可能なEEPROMとに分けることができる。

【0004】 ここで、フラッシュメモリは、頻繁に書き換える必要のない、例えば、プログラムを格納するのに使用され、他方、EEPROMは、ビット或いはバイト単位に頻繁に書き換える可能性のあるデータを格納するのに、主に、使用される傾向がある。

【0005】 更に、フラッシュメモリ及びEEPROMの書き、消去動作について説明しておくと、一括消去可能なフラッシュメモリには、フローティングゲートとソース領域との間のゲート絶縁膜に高電界を発生させて、ファウラー・ノルドハイム(F-N)トンネリング現象を利用して、電子をフローティングゲートから放出させることにより、メモリセルの閾値電圧を高くして、書き込み動作を行なうものがある。また、消去及び書き込みにおいても、F-Nトンネリング現象を利用したメモリセルも提案されている。

【0006】 一方、EEPROMとしては、消去及び書き込みのいずれにおいても、F-Nトンネリング現象を利用

(3)

特開平10-107231

4

し、フローティングゲートと、半導体基板に形成されたドレイン及びソース領域とは別の領域との間で、電子のやり取りを行うものが提案されている。

【0007】上記したように、音込、消去の際、F-Nトンネリング現象を利用して、電子の注入、放出を行うと、ドレイン領域とソース領域との間に、1ビット当たり約1μA程度の電流を流すだけで充分であるが、書換速度が1ms程度と長くなってしまう。また、H/E注入により書込乃至消去を行った場合、音込及び消去に要する時間は1ビット当たり約10μsと、F-Nトンネリング現象を利用した場合に比較して、短縮できるが、ドレイン領域とソース領域との間に、1ビット当たり1mA程度の大きな電流を流す必要がある。

【0008】このことを考慮して、消去、音込が頻繁に繰り返されるデータを記憶するEEPROMの各メモリセルは、F-Nトンネリング現象が容易に生じるよう、フローティングゲート電極の面積を広くすると共に、フローティングゲートと半導体基板との間を狭くする構成を有しており、フラッシュメモリを構成するメモリセルとは異なる構造を備えているのが普通である。

【0009】

【発明が解決しようとする課題】最近、プログラム格納用のフラッシュメモリと、データ格納用のEEPROMとを同一チップ内に混載した半導体記憶装置も提案されているが、前述した様に、フラッシュメモリとEEPROMとは、構造的に異なっているため、別の製造工程で作成する必要があり、製造工程が非常に複雑化するため、出来上がった半導体記憶装置は、高価なものとなってしまうという欠点がある。

【0010】また、特開平6-309886号公報(以下、引用例1と呼ぶ)には、行列状に配列された電気的に書換可能な複数のメモリセルをピット単位で書換、消去可能にすると共に、プロック単位でも書換、消去可能にした不揮発性半導体記憶装置が提案されている。この構成では、各メモリセルが互いに異なる2つの消去モードになるように、各メモリセルのドレイン、ソース、及び制御ゲートに外部から印加される電圧を選択することによって、上記したピット単位及びプロック単位の消去を可能にしている。

【0011】しかしながら、引用例1では、互いに構造の異なるフラッシュメモリとEEPROMとを同一チップ内に個別に配列すること、即ち、フラッシュメモリとEEPROMとを混載することについては、何等、考慮されていないし、且つ、これらフラッシュメモリとEEPROMとを混載させることに伴う問題点についても、全く指摘されていない。

【0012】本発明の目的は、フラッシュメモリとEEPROMとを同一チップ内に個別に配列することにより、プログラムとデータとを別個に格納できる不揮発性半導体記憶装置を提供することである。

【0013】本発明の他の目的は、コストアップを防止でき、したがって、安価な不揮発性半導体記憶装置を提供することである。

【0014】本発明の他の目的は、同一チップ内に混載されるフラッシュメモリとEEPROMのメモリセルが、実質上、互いに同一の構造を備えた不揮発性半導体記憶装置を提供することである。

【0015】本発明の更に他の目的は、製造工程を簡略化できる不揮発性半導体記憶装置の製造方法を提供することである。

【0016】本発明の他の目的は、共通の製造工程により、フラッシュメモリとEEPROMとを製造できる不揮発性半導体記憶装置の製造方法を提供することである。

【0017】

【課題を解決するための手段】本発明の一形態によれば、第1のメモリセルを複数個備えた第1の不揮発性メモリと、第2のメモリセルを複数個備えた第2の不揮発性メモリとを单一のチップ内に個別に混載した不揮発性半導体記憶装置において、前記第1の不揮発性メモリは、予め定められた単位毎に、第1のメモリセルを記憶内容を消去できる構成を有する一方、前記第2の不揮発性メモリは、前記第2のメモリセルの記憶内容を一括して消去できる構成を有し、更に、前記第1及び第2のメモリセルは、ソース、ドレイン、コントロールゲート、及び、フローティングゲートを持ち、互いに同一の構造を備えている不揮発性半導体記憶装置が得られる。

【0018】本発明の他の形態によれば、第1のメモリセルを複数個備えた第1の不揮発性メモリと、第2のメモリセルを複数個備えた第2の不揮発性メモリとを单一のチップ内に個別に混載した不揮発性半導体記憶装置において、前記第1の不揮発性メモリは、予め定められた単位毎に、第1のメモリセルを記憶内容を消去できる構成を有する一方、前記第2の不揮発性メモリは、前記第2のメモリセルの記憶内容を一括して消去できる構成を有し、更に、前記第1及び第2のメモリセルは、それぞれソース、ドレイン、コントロールゲート、及び、フローティングゲートを有していると共に、前記第1のメモリセルのフローティングゲートは、第2のメモリセルのフローティングゲートに比較して、大きな面積を有している不揮発性半導体記憶装置が得られる。

【0019】更に、本発明のもう一つの形態によれば、予め定められた単位毎に、記憶内容を消去できる第1のメモリセルを有する第1の不揮発性メモリと、複数の第2のメモリセルを備え、第2のメモリセルの記憶内容を一括して消去できる第2の不揮発性メモリとを单一のチップ内に個別に混載すると共に、前記第1及び第2の不揮発性メモリに含まれる第1及び第2のメモリセルは、ソース、ドレイン、フローティングゲート、及び、コントロールゲートを有している不揮発性半導体記憶装置の

50

(4)

特開平10-107231

5

製造方法において、前記第1の不揮発性メモリのソース、ドレイン、フローティングゲート、及び、コントロールゲートの形成工程は、第2の不揮発性メモリのソース、ドレイン、フローティングゲート、及び、コントロールゲートの形成工程とそれぞれ同時にを行うことを特徴とする不揮発性半導体記憶装置の製造方法が得られる。

【0020】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0021】図1を参照すると、本発明の実施の形態に係る不揮発性半導体記憶装置は、單一の半導体チップ11内に形成されており、半導体チップ11内には、128バイト、或いは、256バイト程度の記憶容量を備えたEEPROM(以下、第1の不揮発性メモリと呼ぶ)16と、第1の不揮発性メモリ16に比較して大きな容量(例えば、256Kバイト)の記憶容量を備えたフラッシュメモリ(以下、第2の不揮発性メモリと呼ぶ)が個別に複数されている。ここで、第1及び第2の不揮発性メモリ16、17を構成する各メモリセルは、後述するように、同一のメモリセル製造工程で作成されており、第1の不揮発性メモリ16は、書き換・消去が比較的頻繁に行われるデータを格納するためのデータメモリとして使用され、他方、第2の不揮発性メモリ17は、書き換・消去が頻繁には行われないプログラムメモリとして使用されるものとする。

【0022】尚、図示された実施の形態では、第1及び第2の不揮発性メモリ16、17には、互いに異なるアドレスが割り当てられているものとする。このため、第1及び第2の不揮発性メモリ16、17に対するアクセスはアドレス信号ADによって識別できるものとする。

【0023】更に、図示された半導体チップ11内には、コマンド信号CM、及び、アドレス信号が与えられると共に、書き込・読出信号W/R S1Gが入出力される主制御部18。当該主制御部18の制御の下に、第1の不揮発性メモリ16の書き込・読出・消去動作を制御する第1の副制御部21、及び、同様に、主制御部18の制御の下に、第2の不揮発性メモリ17の書き込・読出・消去動作を制御する第2の副制御部22とが設けられている。また、第1の副制御部21の制御にしたがって、第1の不揮発性メモリ16をバイト、或いは、ピット毎に消去するため、複数の部分消去回路251～25nが第1の不揮発性メモリ16に接続されており、他方、第2の副制御部22の制御にしたがって、第2の不揮発性メモリ17を一括して消去できる一括消去回路26が第2の不揮発性メモリ17に接続されている。

【0024】ここで、主制御部18は、書き込・読出・消去の動作をあらわすコマンド信号CMを識別すると共に、第1及び第2の不揮発性メモリ16、17に対するアドレス信号ADを識別して、識別結果にしたがって、第1及び第2の不揮発性メモリ16、17のいずれかに

10

6

コマンド信号CM及びアドレス信号ADを出力する。更に、主制御部18は、第1又は第2の不揮発性メモリ16又は17に対する書き込信号、及びこれらメモリからの読み出信号を図示されない外部回路との間で送受する。

【0025】他方、第1の副制御部21は、主制御部18から与えられる第1の不揮発性メモリ21に対するコマンド信号にしたがって、データの読み出を行いう一方、アドレス信号ADにしたがって、指定されたアドレスのデータをピット或いはバイト単位で消去するための消去指示信号を部分消去回路251～25nに出力する。この構成では、消去されたアドレスに対して、ピット或いはバイト単位でデータを書き込むことができる。

【0026】また、第2の副制御部22は、第2の不揮発性メモリ22に対するコマンド信号にしたがって、命令の読み出を行いうと共に、第2の不揮発性メモリ22の内容を一括して消去するための一括消去指示信号を一括消去回路26に出力する。一括消去された第2の不揮発性メモリ22には、プログラムを構成する命令を順次、書き込むことができる。

20

【0027】図2(A)及び(B)を参照すると、第2の不揮発性メモリ17の一部の構成が示されている。図示された例では、P型半導体基板31内に、拡散によって形成された2つのN型ソース領域32a、32bと、両ソース領域32a、32b間に配置されたN型のドレイン領域33とが設けられており、各ソース領域32a、32bとドレイン領域33との間には、チャネル領域が形成されている。ここで、各チャネル領域上には、ゲート絶縁膜(図示せず)を介して、フローティングゲート34が設けられており、更に、フローティングゲート34上には、コントロールゲート35が配置されており、これによって、フラッシュメモリセルが形成されている。

【0028】図2(B)に示すように、コントロールゲート35は、チャネル領域上で、フローティングゲート34とチャネル領域において重なり合っており、且つ、フローティングゲート34よりも外側に引き出されている。

【0029】図示されたフラッシュメモリセルでは、消去の際、ドレイン領域33、ソース領域32a、32b、及び、半導体基板31に-7V～-10V程度の負電圧を印加すると共に、コントロールゲート35に7～10Vの高電圧を印加することにより、半導体基板31表面からフローティングゲート34に対して、F-Nトンネリング現象により、電子を注入し、フラッシュメモリセルの閾値電圧を一括して高くするような消去動作が行われる。

【0030】他方、書き込動作の際には、コントロールゲート35に-6～-10V程度の負電圧を印加すると共に、ドレイン領域33に5～0Vの電圧を印加することにより、F-Nトンネリング現象によりフローティングゲ

30

40

50

ート34に注入された電子をドレイン領域33に引き抜き、フラッシュメモリセルの閾値電圧を低くするような動作を行う。この場合、各ドレイン領域33をワード線と接続することにより、ピット単位での音込動作が行われる。

【0031】上述した説明では、消去及び音込のいずれの動作においても、F-Nトンネリング現象を使用する例を上げたが、消去動作時に、F-Nトンネリング現象を使用して、各フラッシュメモリセルの閾値を一括して低下させ、他方、音込動作時に、ホットエレクトロンをフローティングゲート34に注入して、個々のセルの閾値を高くする動作を行うフラッシュメモリセルを使用しても良い。このように、音込動作の際、ホットエレクトロンを注入する形式のフラッシュメモリセルでは、ソース領域32a、32bの周辺をN+領域で囲み、且つ、ドレイン領域33の周辺をP+領域で囲むように構成される。

【0032】尚、上記した構成を有するフラッシュメモリセルを一括消去する一括消去回路26は知られているから、ここでは、説明を省略する。

【0033】図1、図2、及び、図3(A)を参照すると、第1の不揮発性メモリ16に使用されるメモリセルは、図2(A)及び(B)に示されたフラッシュメモリセルと同一の構造を備えている。このため、第1及び第2の不揮発性メモリ16及び17は同一の製造工程で作成できる。しかしながら、第1の不揮発性メモリ16を構成するメモリセルは、バイト或いはピット毎に消去可能な構成を備える必要がある。

【0034】図3(A)には、EEPROMのメモリセルとして、図2に示されたようなフラッシュメモリセルが横方向(即ち、行方向)及び縦方向(即ち、列方向)にそれぞれ個別に配列されているものとする。しかしながら、図では、説明を簡略化するために、4個のフラッシュメモリセルC00、C01、C10、C11に限定して説明する。

【0035】図に示すように、横方向に延びる第1乃至第m(図では第1及び第2)のワード線(行方向線)は、それぞれ横方向に配列されたメモリセルC00、C01及びC10、C11の各コントロールゲートに接続されており、これらワード線はそれぞれ図1に示された第1の副制御部21に接続されている。第1の副制御部21は、消去されるべき選択されたメモリセルのワード線に対して15Vの高電圧を印加し、選択されないワード線に対して接地電位(0V)の電圧を与えるものとする。

【0036】他方、縦方向に延びる第1乃至第n(図では第1及び第2)の列方向線(ディジット線)は、縦方向に配列されたメモリセルのドレイン領域に接続されたドレイン線と、ソース領域に接続されたソース線とを備え、これらのドレイン線及びソース線はそれぞれ個の

部分消去回路251～25nに接続されている。この場合、各部分消去回路251～25nは、図1に示すように、第1の副制御部21によって制御されている。各部分消去回路251～25nでは、消去されるべきメモリセルに対応したドレイン線上に、0Vの電圧を印加し、他方、選択されないメモリセルに対応したドレイン線上に、例えば、15Vの半分の電圧、即ち、7.5Vの電圧を供給する。この場合、消去されるべきメモリセルに対応したソース線には、0Vが印加されるか、オープンの状態に置かれ、消去されないメモリセルに対応したソース線には、7.5Vが印加されるか、オープンの状態に置かれる。

【0037】図3(A)のように、メモリセルC00の記憶内容を消去する場合、第1のワード線及び第1のディジット線が選択され、第1の副制御部21及び部分消去回路から電圧が印加される。この結果、選択されたメモリセルC00のコントロールゲートとドレイン領域との間に、15Vの電圧が与えられ、選択されない、即ち、非選択のメモリセルC01、C10、C11のコントロールゲートとドレイン領域との間に、7.5Vの電圧しか与えられない。このため、非選択のメモリセルC01、C10、C11の記憶内容は消去されることなく保持され、選択されたメモリセルC00の記憶内容のみが消去される。

【0038】前述したことからも明らかのように、各部分消去回路251～25nは、消去動作の際、第1の副制御部21の制御の下に、ディジット線に、0V又は7.5Vの電圧を印加する機能を有している。

【0039】したがって、図示されたように、フラッシュメモリセルによって構成されたEEPROM(第1の不揮発性メモリ)16は、ピット毎に消去を行うことができる。

【0040】他方、選択されたメモリセル、例えば、C00に音込を行う場合、第1の副制御部21からは、選択された第1のワード線上に、-10Vの電圧が与えられ、非選択の第2のワード線上には、0Vの電圧が印加される。この状態で、選択されたメモリセルC00に対応したドレイン線上には、5Vの電圧が、ソース線をオープンにした状態で印加され、該選択のメモリセルに対応したドレイン線上には、0Vがソース線をオープンにした状態で印加される。これによって、選択されたメモリセルC00では、F-Nトンネリング現象によって、フローティングゲートから電子の引き抜きが行われ、この結果、閾値電圧が低下して、音込が行われる。

【0041】図4(A)及び(B)を参照して、本発明の他の実施の形態に係る第1の不揮発性メモリ16の構成並びに消去動作を説明する。この例においても、メモリセルC00～C11自体は、図2に示したフラッシュメモリセルと同様の構成を備えているため、第2の不揮発性メモリ17のフラッシュメモリセルと同じ工程で製

(6)

特開平10-107231

9

造することができる。図4 (A) からも明らかなように、メモリセルC00～C11のコントロールゲートには、それぞれMOSトランジスタによって構成されセレクタS1～S4が設けられている。

【0042】具体的に言えば、セレクタS1及びS2を構成するMOSトランジスタのドレインは、第1のワード線に接続されており、且つ、そのソースはメモリセルC00及びC01のコントロールゲートに接続されている。また、セレクタS3及びS4を構成するMOSトランジスタのドレインは第2のワード線に接続され、且つ、そのソースはメモリセルC10及びC11のコントロールゲートに接続されている。

【0043】更に、セレクタS1、S2を構成するMOSトランジスタのゲートは、部分消去回路に接続された第1及び第2の列方向線に接続されている。

【0044】一方、セレクタS3及びS4を構成するMOSトランジスタのドレインは、第2のワード線に接続されており、且つ、そのソースはメモリセルC10、C11のコントロールゲートに接続されている。また、セレクタS3及びS4のゲートはセレクタS1、S2と同様に、第1及び第2の列方向線に接続されている。

【0045】次に、メモリセルC00～C11のうち、列方向に配列されたメモリセルのどれいん領域は、列方向に延びるドレイン線に接続されており、且つ、各メモリセルのソース領域は共通に接続されて、部分消去回路に接続されている。

【0046】図示された構成において、メモリセルC00の記憶内容を消去する場合について説明する。この場合、消去されるべきメモリセルC00のコントロールゲートにのみ、セレクタS1を介して15Vの電圧が印加され、メモリセルC00のドレイン領域には、0Vの電圧が印加される。この状態では、各メモリセルのソース領域は、0Vを印加するか、または、オープンの状態に置かれる。

【0047】これによって、メモリセルC00には、F-Nトンネリング現象により、電子が注入され、閾値が高くなつて、メモリセルC00の記憶内容は消去される。

【0048】このように、この実施の形態では、メモリセル毎に消去動作を行うことができる。

【0049】一方、メモリセルC00に書き込む場合には、図4 (B) に示すように、書き込むべきメモリセルC00に対応したワード線に-10Vの電圧を印加すると共に、セレクタS1のゲート及びメモリセルC00のドレイン領域にそれぞれ5Vの電圧を印加する。これによって、セレクタS1を構成するMOSトランジスタはオン状態となって、メモリセルC00のドレイン領域とコントロールゲートとの間には15Vの電圧が印加され、結果として、フローティングゲート中の電子は、ドレイン領域側に引き抜かれて、メモリセルC00の閾値

10

10

が低下し、書き込みが行われる。

【0050】他のメモリセルについても同様にして、消去、書き込み動作を行うことができる。

【0051】図5を参照すると、本発明の更に別の実施の形態では、セレクタS<sub>a</sub>、S<sub>b</sub>が複数のメモリセル毎に、この例では、1バイト、即ち、8個のメモリセル毎に設けられており、他の構成は、図4と同様である。したがつて、セレクタによって選択された8個のメモリセルには、ワード線を介して同時に15Vの電圧が印加され、これらメモリセルの消去動作が同時的に行われる。

【0052】尚、書き込み動作は、セレクタを選択して、該当するメモリセルのコントロールゲートに-10Vの電圧を印加すると共に、ドレイン領域に5Vを印加することによって、ピット毎に書き込み動作を行うことができることは、図4 (B) と同様である。

【0053】図6及び図7を参照すると、本発明のもう一つの実施の形態は、第1の不揮発性メモリ及び第2の不揮発性メモリを構成するメモリセルにおけるフローティングゲートの相互に形状を変化させた構成を備えている。具体的に言えば、第1の不揮発性メモリ16は、図6 (A)、(B)、(C)に示すように、フローティングゲート34及びコントロールゲート35の面積を図7に示すフラッシュメモリセルに比較して、広くとり、フローティングゲート34とコントロールゲート35との間の容積を大きくして、フラッシュメモリセル(図7)に比べて消去時間を短縮できるメモリセルによって構成されている。

20

【0054】図6に示されたメモリセルでは、コントロールゲート35の下部に設けられたフローティングゲート34の底面絶縁膜40(図6 (C))上に位置する部分の帽を図6 (A) に示すように、チャネル領域上のフローティングゲート34の帽(図6 (B))に比較して広げると共に、当該フローティングゲート34と対向するコントロールゲート35の幅をも広げた構成を有している。この結果として、コントロールゲート35とフローティングゲート34との間の容積を大きくすることができる。このことは、バイト毎或いはピット毎に消去できるEEPROM用メモリセルとして有効であることを意味している。

30

【0055】他方、図7に示された第2の不揮発性メモリ17のメモリセルは、図2と同様に、フローティングゲート34及びコントロールゲート35の幅は一定であり、図6に示されたメモリセルに比べて、フローティングゲート34及びコントロールゲート35間の容積は小さい。したがつて、図7に示されたメモリセルは、図6に示されたメモリセルに比較して、消去時間が遅く、このため、フラッシュメモリのように、一括消去するのに適している。

40

【0056】図6及び図7に示されたEEPROM及びフラッシュメモリ用メモリセルは、互いに異なる形状の

50

(7)

特開平10-107231

11

フローティングゲート及びコントロールゲートを備えているが、これらフローティングゲート及びコントロールゲートは、共通のマスクを使用して同時に製造できるため、第1及び第2の不揮発性メモリ16及び17を個別に製作する必要がない。したがって、EEPROM及びフラッシュメモリとを混載した半導体記憶装置を安価に製造できる。

【0057】

【発明の効果】本発明によれば、EEPROMとフラッシュメモリとを混載した半導体記憶装置を同じ製造工程で製造できるため、これら互いに異なる用途を有するメモリを安価に製造できると言う効果がある。したがって、データ用EEPROMと、プログラム用フラッシュメモリとを混載した半導体記憶装置をより広い範囲に適用できる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体記憶装置を説明するためのブロック図である。

【図2】(A)は、図1に示された第1及び第2の不揮発性メモリに使用できるメモリセルを説明するための平面図である。(B)は、図2(A)に示したメモリセルの断面図である。

【図3】(A)は、図1に示した第1の不揮発性メモリの一部を示す回路図であり、ここでは、メモリセルの消去動作を説明している。(B)は、図3(A)の不揮発性メモリにおける音込動作を説明するための回路図である。

【図4】(A)は、図1において第1の不揮発性メモリとして使用できる他の構成例を示す回路図であり、ここでは、メモリセルの消去動作を説明している。(B) \*30

\*は、図4(A)の音込動作を説明するための回路図である。

【図5】図1に示された第1の不揮発性メモリとして使用できる他の構成例を示す図である。

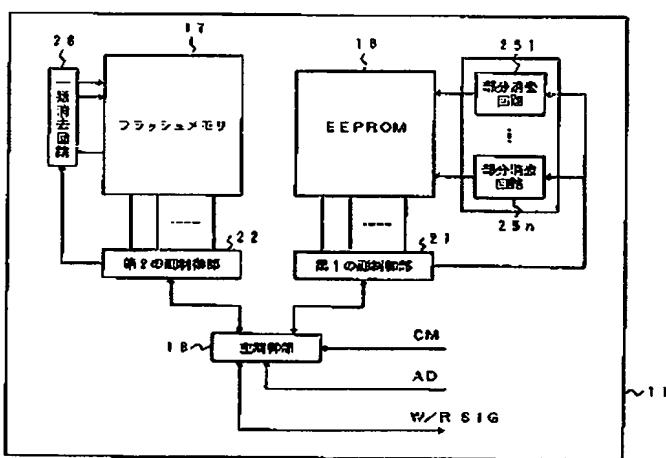
【図6】(A)は、本発明の他の実施の形態において使用される第1の不揮発性メモリのメモリセルを説明するための平面図である。(B)は、図6(A)のa-a線に沿って断面した断面図である。(C)は、図6(A)のb-b線に沿って断面した断面図である。

【図7】本発明の他の実施の形態において使用される第2の不揮発性メモリのメモリセルを説明するための平面図である。

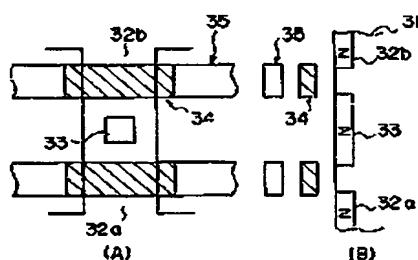
【符号の説明】

11	半導体チップ
16	第1の不揮発性メモリ
17	第2の不揮発性メモリ
18	主制御部
21	第1の副制御部
22	第2の副制御部
25 1～25 n	部分消去回路
26	一括消去回路
32 a, 32 b	ソース領域
33	ドレイン領域
34	フローティングゲート
C00～C11	メモリセル
S1～S4	セレクタ
40	層間絶縁膜

【図1】



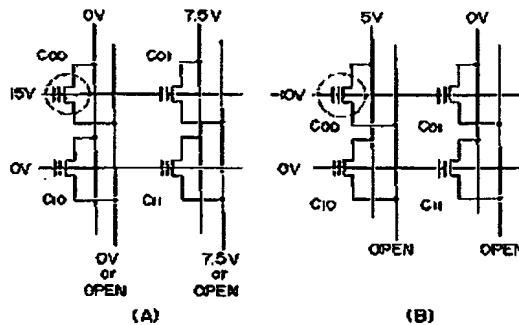
【図2】



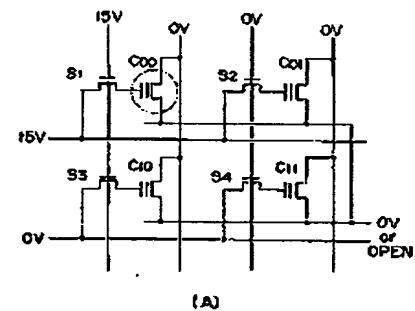
(8)

特開平10-107231

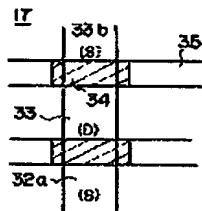
【图3】



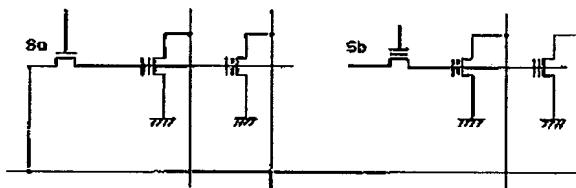
[图4]



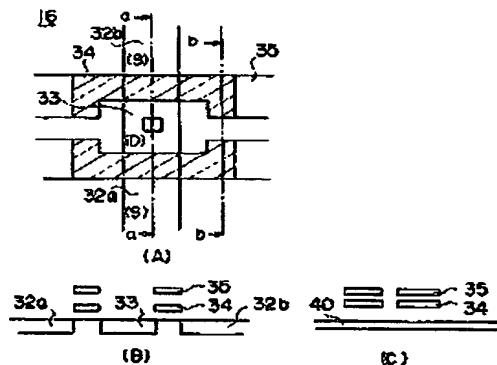
[ ? ]



【图5】



[图6]



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**